

SYNCHRONOUS TYPE SEMICONDUCTOR STORAGE DEVICE

Patent number: JP2000132964
Publication date: 2000-05-12
Inventor: MAESAKO ISATO
Applicant: NEC CORP
Classification:
 - International: G11C11/407
 - european:
Application number: JP19980305728 19981027
Priority number(s):

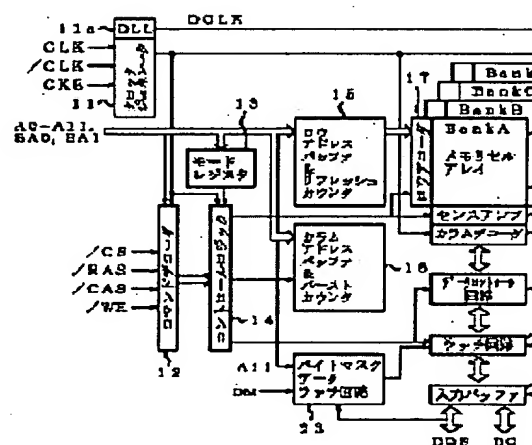
Also published

US620

Abstract of JP2000132964

PROBLEM TO BE SOLVED: To improve a margin of a DRAM and a system by using and allocating a column address not used for a rise and a fall of a data strobe signal, forming a data signal mask signal and enabling write masking in units of one bits of data.

SOLUTION: A write command is input at a rise time of a clock signal CLK. After column addresses A0-A8 starting at the same time are input, a data strobe signal DQS and a data signal DQ are input. A bit taken at a fall of the data strobe signal DQS and a bit taken at a rise of the data strobe signal are allocated to be a data mask signal DM and an address signal for each bit of double data. The address signal not used is employed to designate a column, whereby a system margin is secured.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-132964

(P2000-132964A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl.

識別記号

F I

ターミナル(参考)

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

5 B 0 2 4

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願平10-305728

(22)出願日 平成10年10月27日(1998.10.27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 前迫 勇人

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

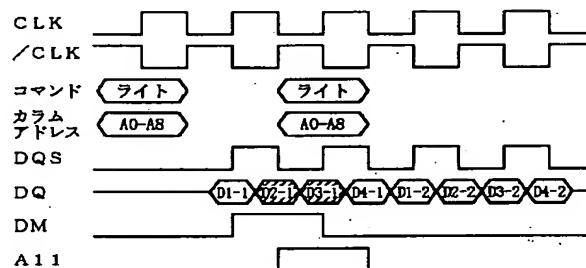
Fターム(参考) 5B024 AA04 BA21 BA25 CA16

(54)【発明の名称】 同期型半導体記憶装置

(57)【要約】

【課題】従来品とのコンパチビリティを保ちながら、データマスク信号DMによるバイトマスクを低周波動作にて1ビット単位でのライトマスクを可能とし、DRAM自身及びシステムのマージンを高めた同期型半導体記憶装置を提供する。

【解決手段】使用していないカラムアドレス信号A11を用いて、データストローブ信号DSQの立ち上がり及び立ち下がり用に割り当てて、データ信号用マスク信号MASKを形成し、データ1ビット単位のライトマスクを可能とする。



【特許請求の範囲】

【請求項1】 使用していないカラムアドレス信号を用いて、データストロブ信号の立ち上がり及び立ち下がり用に割り当てて、データ信号用マスク信号を形成し、データ1ビット単位のライトマスクを可能としたことを特徴とするダブルデータレートの同期型半導体記憶装置。

【請求項2】 使用していないカラムアドレス信号および外部からのデータマスク信号がライトマスクとして用いられた請求項1記載のダブルデータレートの同期型半導体記憶装置。

【請求項3】 使用していない最下位2桁分のカラムアドレス信号がライトマスクとして用いられた請求項1記載のダブルデータレートの同期型半導体記憶装置。

【請求項4】 第1のクロックに同期して駆動される複数バンクのメモリセルアレイを有するダブルデータレートの同期型半導体記憶装置において、この同期型半導体記憶装置へのデータ信号の入出力を前記第1のクロックに同期した第2のクロックで行う入出力バッファと、この入出力バッファと前記メモリセルアレイとの間のデータ信号の入出力を前記第1のクロックに同期して行うラッチ回路と、このラッチ回路に未使用のカラムアドレス信号を用いて前記データマスク信号の立ち上がり及び立ち下がり用に割り当ててマスク信号として出力するバイトマスクデータラッチ回路とを有し、前記マスク信号により前記ラッチ回路の入出力をライトマスクすることを特徴とするダブルデータレートの同期型半導体記憶装置。

【請求項5】 前記バイトマスクデータラッチ回路が、外部からのデータマスク信号および未使用のカラムアドレス信号をデータストロブ信号およびその反転信号によりラッチする第1および第2のラッチ回路からなる請求項4記載のダブルデータレートの同期型半導体記憶装置。

【請求項6】 前記バイトマスクデータラッチ回路が、2桁分の未使用のカラムアドレス信号をデータストロブ信号およびその反転信号によりラッチする第1および第2のラッチ回路からなる請求項4記載のダブルデータレートの同期型半導体記憶装置。

【請求項7】 前記バイトマスクデータラッチ回路が、2桁分の未使用のカラムアドレス信号を、前記データマスク信号とそれぞれ論理積をとり、これら論理積出力がラッチされるようにした請求項6記載のダブルデータレートの同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は同期型半導体記憶装置に関し、特に入出力するデータ信号のライトマスクを可能とするダブルデータレート(DDR)のSDRAMに関する。

【0002】

【従来の技術】 従来のダブルデータレート型(DDR)のシンクロナスDRAMとして、NEC製の128MビットSDRAMの μ PD45D128442、 μ PD45D128842、 μ PD45D128164があり、SSTL2(Stub Series terminated Logic for 2.5V)に対しコンパチブルとなっている。

【0003】 図8は従来のダブルデータレート型(DDR)のシンクロナスDRAMのブロック図を示す。このDRAMは、DLL(Delay-lock Loop)11aを含むクロックジェネレータ11と、コマンドデコーダ12と、モードレジスタ13と、コントロールロジック14と、ロウアドレスバッファ、リフレッシュカウンタ15と、カラムアドレスバッファ、バーストカウンタ16と、ロウデコーダ17と、バンクをもったメモリセルアレイ18と、センスアンプ19と、カラムデコーダ20と、データコントロール回路21と、ラッチ回路22と、バイトマスクデータラッチ回路23cと、入出力バッファ24とから構成されている。

【0004】 この回路において、クロックジェネレータ11は、クロック信号CLK、 \neg CLK(反転クロック)、クロックイネーブル信号CKEを入力し内部(第1の)クロックを出力し、DLL11aは、クロック信号CLK、 \neg CLKを入力し遅延(第1の)クロックを出力し、入出力バッファ24のみが、DLL11aからの遅延クロックにより駆動される。またコマンドデコーダ12は、チップセレクト信号 \neg CS、カラムアドレスストロブ信号 \neg CAS、ロウアドレスストロブ信号 \neg RAS、ライトイネーブル信号 \neg WEを入力し、コントロールロジック14への制御信号を出力する。

【0005】 またアドレス信号A0~A11およびバンク選択信号BA0.1は、モードレジスタ13と、ロウアドレスバッファ、リフレッシュカウンタ15と、カラムアドレスバッファ、バーストカウンタ16とに供給されており、入出力バッファ24に、入出力データ信号DQ、データストロブ信号DQSが接続され、バイトマスクデータラッチ回路23cにデータマスク信号DMが供給されている。

【0006】 このバイトマスクデータラッチ回路23cは、図9のブロック図に示されるように、ラッチ回路31、33と、インバータ32とから構成され、外部のメモリ制御部からデータマスク信号DMのみが入力され、データストロブ信号DQSと共に、メモリ内部へのライト(書込み)動作を禁止しメモリセル18にデータを書込まないようにしたマスク信号MASK1、2をつくり出力する。

【0007】 この回路23cは、クロック信号CLKの立ち上がり時にライトコマンド入力を行い、同時に開始するカラムアドレスA0~A8(x8デバイスの例)を

入力する。その後、データストロープ信号DQSとデータ信号DQが入力される。

【0008】このダブルデータレートのシンクロナスDRAMでは、シングルデータレートの場合と異なり、データストロープ信号DQSの立ち上がり立ち下がり時両方ともデータ信号DQを入力することでデータレートを2倍にしている。このデータマスク信号DMは、ラッチ回路31、33により、データストロープ信号DQSの立ち上がり立ち下がり両方時にラッチされ、ハイレベルであるとその時に入力されたデータをマスクし、メモリセルアレイ18には書き込まない。

【0009】このデータストロープ信号DQSの立ち上がり立ち下がり両方ともラッチするため、図9に示すバイトマスクデータラッチ回路23cではラッチ回路31、33とともにデータマスク信号DMが入力される。

【0010】図10は、このDRAMの動作を説明するタイミング図である。この図10から明らかなように、この場合データマスク信号DMがクロック信号CLKと同じ周波数で動作することになり、データ信号DQを1ビットごとにマスクをかけることができる。この場合には、シングルデータレートの時と比べて2倍の周波数で動作することができる。

【0011】

【発明が解決しようとする課題】このように従来の同期型半導体記憶装置では、データ信号DQを1ビットごとにマスクをかけることができるので、シングルデータレートの時と比べて2倍の周波数で動作するが、厳しいデータ入力時のセットアップ及びホールド時間が要求され、システムのマージンも確保できなくなるという問題が生ずる。

【0012】この問題を解決するため、図11のブロック図に示すようなDRAMを考えるとする。この回路によると、外部のメモリ制御部から新たに別のデータマスク信号DM2を追加し、データストロープ信号DQSの立ち上がり及び立ち下がりデータを変えている。図12、13は図11のバイトマスクデータラッチ回路23cのブロック図およびその動作説明をするタイミング図である。しかし、この回路23dは、2つのデータマスク信号DM、DM2を用いるため、外部接続ピンが追加され、従来製品とのコンパチビリティ（互換性）を保つことができないという問題がある。

【0013】本発明の目的は、従来とのコンパチビリティを保ちながら、DM信号によるバイトマスクを低周波動作にて1ビット単位でのライトマスクを可能とし、DRAM自身及びシステムのマージンを高めた同期型半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】本発明のダブルデータレートの同期型半導体記憶装置の構成は、使用していないカラムアドレス信号を用いて、データストロープ信号の

立ち上がり及び立ち下がり用に割り当てて、データ信号用マスク信号を形成し、1ビット単位でのライトマスクを可能としたことを特徴とする。

【0015】また本発明において、第1のクロックに同期して駆動される複数バンクのメモリセルアレイを有するダブルデータレートの同期型半導体記憶装置において、この同期型半導体記憶装置へのデータ信号の入出力を前記第1のクロックに同期した第2のクロックで行う入出力バッファと、この入出力バッファと前記メモリセルアレイとの間のデータ信号の入出力を前記第1のクロックに同期して行うラッチ回路と、このラッチ回路に未使用のカラムアドレス信号を用いて前記データマスク信号の立ち上がり及び立ち下がり用に割り当ててマスク信号として出力するバイトマスクデータラッチ回路とを有し、前記マスク信号により前記ラッチ回路の入出力をライトマスクすることもできる。

【0016】本発明の構成によれば、従来製品とコンパチブルでありながら、データマスク信号によるバイトマスクを低周波動作にて1ビット単位でのライトマスクを可能としている。

【0017】この発明の構成により、高周波で動作させるときよりもデータ入力時のセットアップ及びホールド時間が、シングルデータレートの動作時と同様に緩和でき、DRAM自身はもちろん、システムにおけるマージンを十分確保することができる。また、使用していないアドレス信号をそのデータマスク信号DMに使用することにより、接続ピンを追加することなく従来品とのコンパチビリティを保つことができる。さらに、従来品では、クロック信号CLK、/CLK、データストロープ信号DQS、データ信号DQと同じ周波数で動作させるため、SSTLインターフェイスを用いなければならなかったが、本発明では、必ずしも使用することが必要なくなり、システムとしての消費電流を低減することもできるという効果もある。

【0018】

【発明の実態の形態】図1は本発明の第1の実施形態としてダブルデータレートのシンクロナスDRAMのブロック図である。この図を参照すると、本実施形態のダブルデータレート（DDR）のシンクロナスDRAMは、DLL11aを含むクロックジェネレータ11と、コマンドデコーダ12と、モードレジスタ13と、コントロールロジック14と、ロウアドレスバッファ、リフレッシュカウンタ15と、カラムアドレスバッファ、バーストカウンタ16と、ロウデコーダ17と、4個のバンクA～Dからなるメモリセルアレイ18と、センスアンプ19と、カラムデコーダ20と、データコントロール回路21と、ラッチ回路22と、バイトマスクデータラッチ回路23と、入出力バッファ24とから構成される。

【0019】この実施形態は、従来例のDRAMと全くのピンコンパチブルでありながらバイトマスクデータラ

ッチ回路23にアドレス信号A11が入力される回路を用いたものである。なお、本例は64Mビットの場合を示す。このバイトマスクデータラッチ回路23は、取り込まれたマスクデータによりメモリセルアレイに書き込むか書き込まないかの信号を発生している。

【0020】このバイトマスクデータラッチ回路23の詳細回路ブロックを図2に示す。この回路23のデータストロブ信号DQSの立ち上がり時にアドレス信号A11のデータをラッチし、バイトマスク信号MASK1を出力するラッチ回路31、データストロブ信号DQSの立ち下がり時にデータマスク信号DMのデータをラッチし、バイトマスク信号MASK2を出力するラッチ回路32から構成される。

【0021】図3は図1の動作の詳細なタイミング図を示す。本実施形態のバースト長は4である。クロック信号CLKの立ち上がり時にライトコマンド入力を行い、同時に開始するカラムアドレスA0-A8(x8ビットデバイスの例)を入力する。その後、データストロブ信号DQSとデータ信号DQが入力される。

【0022】図3に示すように、データマスク信号DM以外の信号、ここではアドレス信号を1本を用いることで、2本の信号(DM信号とアドレス信号)を各々ダブルデータの1ビットそれぞれ用に、データストロブ信号DQSの立ち下がり取り込むビットはデータマスク信号DM、立ち上がり取り込むビットはアドレス信号とするように割り振る。その際のアドレス信号は、カラムアドレス指定の際に使用していないアドレス信号を使用すればよい。

【0023】データマスク信号DMはデータストロブ信号DQSの立ち下がり時にラッチされ、ハイレベルであるとその時に入力されたデータをマスクし、メモリセルアレイ18に書き込まない。また同様にアドレス信号A11はデータストロブ信号DQSの立ち上がり時にラッチされ、ハイレベルであるとその時に入力されたデータをマスクし、メモリセルアレイ18に書き込まない。ここでデータマスク信号DMとアドレス信号A11は逆であってもなんら問題はない。

【0024】図3のタイミングを例にとると、データD2-1がデータマスク信号DMによりバイトマスク信号MASK2を制御することによって、データD3-1がアドレス信号A11によりバイトマスク信号MASK2を制御することによって、マスクされることになる。

【0025】アドレス信号A11はバースト動作中、カラムアドレスとして使用していないため、このようにデータマスク信号として使用してもなんら問題なく、従来とコンパチビリティを保つことができる。

【0026】図4は本発明の第2の実施形態のブロック図であり、その基本構成は図1の場合と同様であるが、マスクデータ信号DMの代りに他の使用していないアドレス信号A9を使用することで更に工夫している。図5は

図4のバイトマスクデータラッチ回路23aの詳細ブロック図であり、図6は図4の動作を説明するタイミング図であり、その動作も図1の場合と全く同じである。この実施形態では、2桁のアドレス信号A9、A11を用いているのでデータマスク信号DMを用いなくともよい構成となっている。

【0027】この回路23aで、もしデータマスク信号DMも使用するのであれば、図7のブロック図に示すように、AND回路34、35を用いて、アドレス信号A9、A11とデータマスク信号DMとのANDをとって、データマスク信号DMがハイレベルで、かつアドレス信号A11またはA9がハイレベルの時にマスクするようにすればよい。なお、またx16ビットデバイスの場合には、データマスク信号DMが2本になるのでその2本で上記制御を行ってもよい。

【0028】

【発明の効果】以上説明したように、本発明の同期型半導体装置によれば、データストロブ信号DQSの立ち上がり時、立ち下がり時にそれぞれ別のデータ信号を割り当てているため、データマスク信号DM及びアドレス信号A11は低周波動作、つまりシングルデータレート of シンクロナスDRAMを用いた場合と同じ動作でよくなり、高周波で動作させるときよりもデータ入力時のセットアップ及びホールド時間が、シングルデータレートの場合と同様に緩和でき、DRAM自身はもちろん、システムにおけるマージンを十分確保することができる。

【0029】さらに本発明の構成のように、使用していないアドレス信号をそのデータマスク信号DMに使用することにより、接続ピンを追加することなく従来製品とのコンパチビリティを保つことができ、さらに従来のクロック信号CLK、/CLK、データストロブ信号DQS、DQと同じ周波数で動作させるため、SSTLインターフェイスを用いなければならなかったが、本発明の構成では、必ずしも使用することが必要なくなり、システムとしての消費電流を低減することもできるという効果もある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の同期型半導体記憶装置のブロック図である。

【図2】図1のバイトマスクデータラッチ回路のブロック図である。

【図3】図1の動作を説明するタイミング図である。

【図4】本発明の第2の実施形態の同期型半導体記憶装置のブロック図である。

【図5】図4のバイトマスクデータラッチ回路のブロック図である。

【図6】図4の動作を説明するタイミング図である。

【図7】図4の他のバイトマスクデータラッチ回路のブロック図である。

【図8】従来の同期型半導体記憶装置のブロック図であ

る。

【図9】図8のバイトマスクデータラッチ回路のブロック図である。

【図10】図8の動作を説明するタイミング図である。

【図11】従来の同期型半導体記憶装置を改善したブロック図である。

【図12】図11のバイトマスクデータラッチ回路のブロック図である。

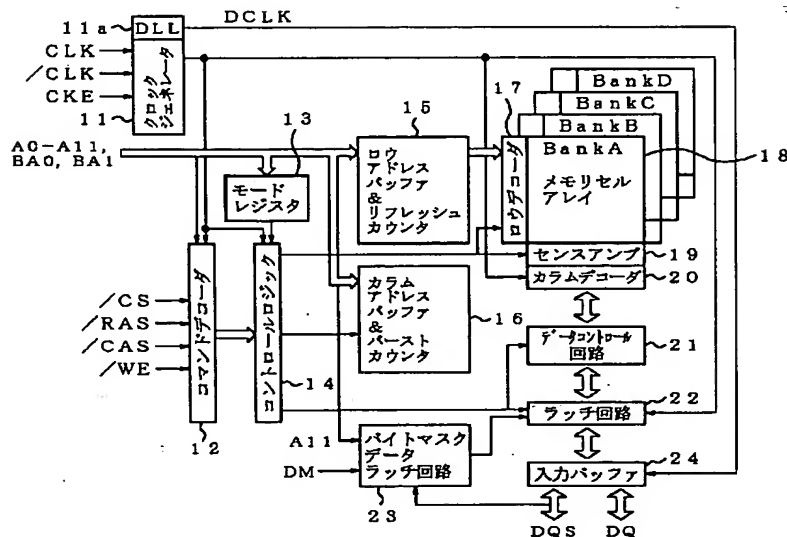
【図13】図11の動作を説明するタイミング図である。

【符号の説明】

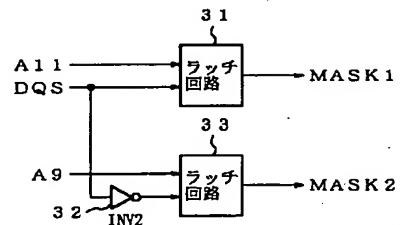
- 11 クロックジェネレータ
- 11 a DLL
- 12 コマンドデコーダ
- 13 モードレジスタ

- 14 コントロールロジック
- 15 ロウアドレスバッファ、リフレッシュカウンタ
- 16 カラムアドレスバッファ、バーストカウンタ
- 17 ロウデコーダ
- 18 メモリセルアレイ
- 19 センスアンプ
- 20 カラムデコーダ
- 21 データコントロール回路
- 22 ラッチ回路
- 23, 23 a~c バイトマスクデータラッチ回路
- 24 入出力バッファ
- 31, 31 a, 33, 33 a ラッチ回路
- 32 インバータ
- 34, 35 AND回路

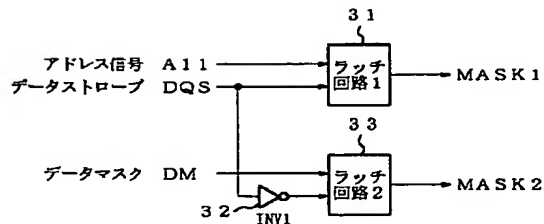
【図1】



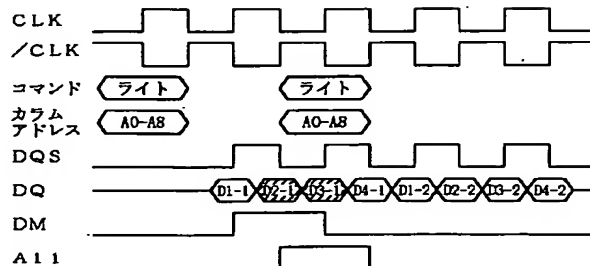
【図5】



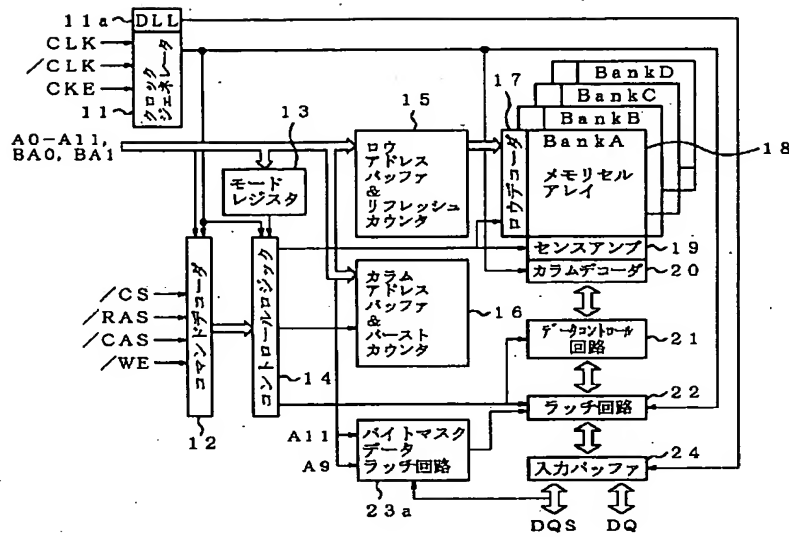
【図2】



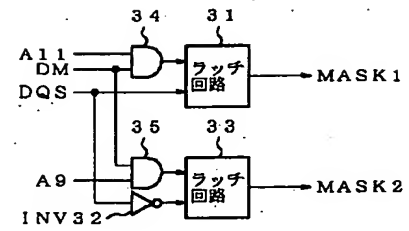
【図3】



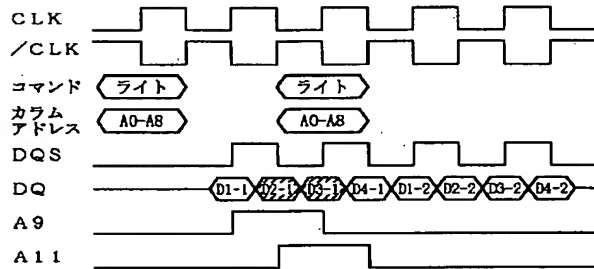
【図4】



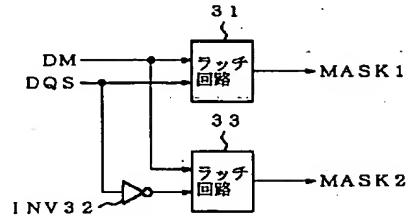
【図7】



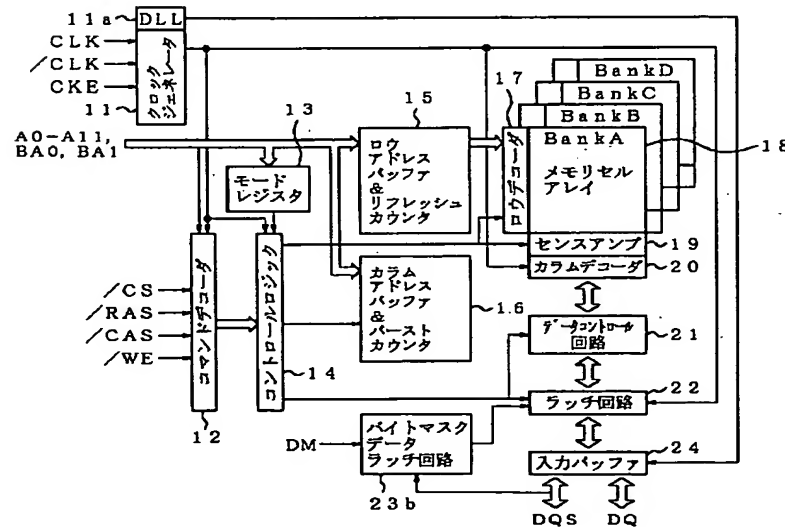
【図6】



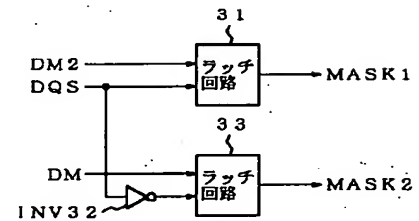
【図9】



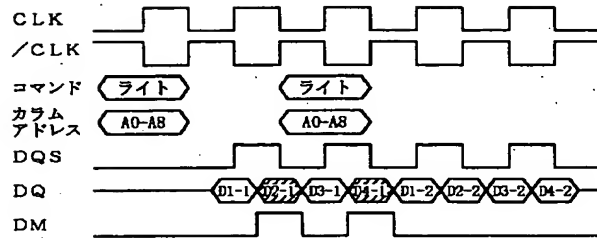
【図8】



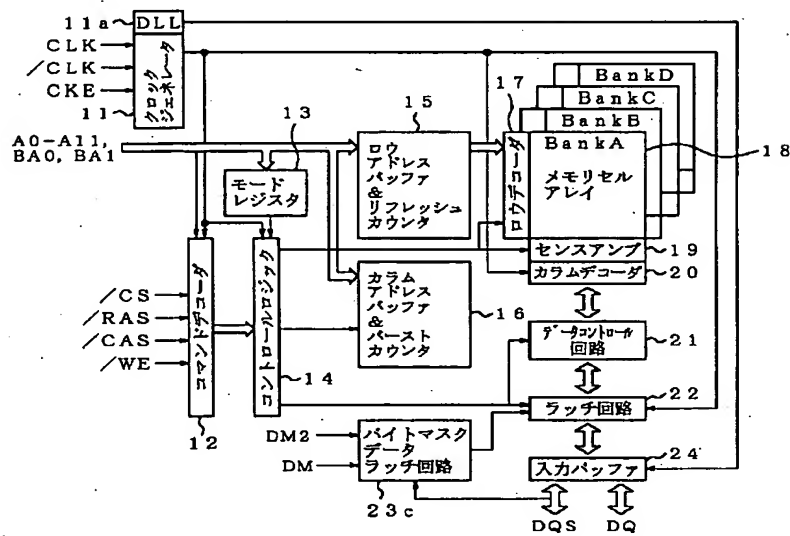
【図12】



【図10】



【図11】



【図13】

